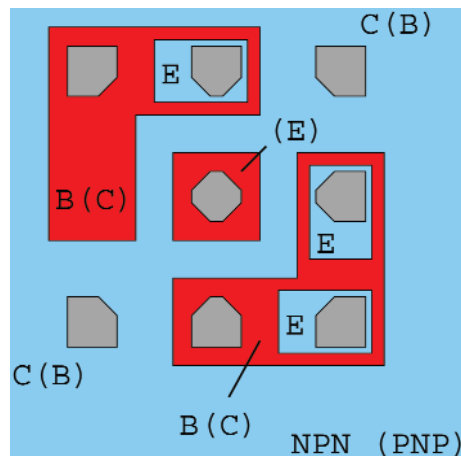


# Mit wenig Geld zum eigenen ASIC

**ASICs kosten viel Geld – diese Meinung ist weit verbreitet. Doch das gilt nur für die modernsten CMOS-Prozesse. Für die meisten analogen und Mixed-Signal-ICs eignen sich kostengünstige Prozesse mit höheren Strukturbreiten. Auch kann man Gate-Arrays nutzen, die in verschiedenen Größen zur Verfügung stehen und bei denen nur noch die Verdrahtungsebenen kundenspezifisch sind. Allerdings sollte der Entwickler verschiedene Aspekte sorgfältig gegeneinander abwägen.**

Durchgängig hält sich bei fast allen Elektronikentwicklern die Meinung, dass ohne viel Geld ein ASIC nicht zu haben ist. Dieses Vorurteil rührt wahrscheinlich von den gigantischen Kosten für die Entwicklung und Fertigung moderner CMOS-Prozesse (180 nm, 110 nm, 90 nm) sowie der benötigten Masken her, die natürlich auf die ICs umgelegt werden müssen. So betragen die Kosten für einen Maskensatz in einem modernen CMOS-Prozess etwa 1 Million US-Dollar; ein solcher wird wohlgerne für jede IC-Entwicklung mindestens einmal benötigt. Hinzu kommen die Kosten für die Software-Entwicklungswerkzeuge, die sich kaum hinter den Maskenkosten verstecken müssen, ganz zu schweigen von den Dutzenden von Entwicklern, die heute typischerweise eine solche Entwicklung durchführen. Solche Ausgaben



**Bild 1 Transistor-Elementarzelle des Zetex 700, als NPN oder PNP benutzbar (n-Diffusionen sind blau, p-Diffusionen rot und Metallkontaktierungen grau)**

sind natürlich erst bei hohen und höchsten Stückzahlen amortisierbar, die sich wiederum nur bei bester Marktkennntnis und optimalem »Time-to-Market« erzielen lassen. Ein schnelles und riskantes Spiel, bei dem die involvierten Firmen und Ingenieure sich oft einen Kampf bis aufs Messer liefern. Eigentlich schade, denn die Vorteile von ASICs wie höhere Zuverlässigkeit durch weniger Verbindungen, verbesserte (bzw. ausgelagerte) Testzeiten, geringerer Platzbedarf, Kopierschutz oder verringerter

Stromverbrauch wären auch gerade für kleine und mittlere Unternehmen interessant. Allerdings gelten oben genannte Verhältnisse nur für die »Avantgarde« der IC-Entwicklung, nämlich in erster Linie Prozessor-, Logik- oder Speicher-ICs, die in Massenmärkten zum Einsatz kommen. Die allermeisten Anwendungen benötigen nicht die modernsten Prozesse mit minimalen Strukturbreiten und die damit erzielbaren digitalen Fähigkeiten. So werden für Powermanagement, Sensortechnik oder A/D-Wandlung normalerweise Bausteine mit wesentlich geringerer Komplexität und mit analogen Funktionen benötigt. Verschiedene Lösungen stehen zur Verfügung, um die Kosten für Prozesse, Masken und Software so zu reduzieren, dass sich auch kleinere Projekte mit Stückzahlen von einigen zehntausend mit ASICs realisieren lassen.

Für digitale Projekte stehen je nach Stückzahl das FPGA sowie das klassische Gate-Array beziehungsweise der etwas neuere Structured-ASIC zur Verfügung. Für analoge beziehungsweise gemischt analog/digitale Anwendungen (Mixed Signal), die in diesem Artikel hauptsächlich behandelt werden sollen, stehen analoge oder Mixed-Signal-Gate-Arrays von verschiedenen Herstellern als preiswerte Realisierungsmöglichkeiten zur Verfügung.

## Kostengünstige Prozesse nutzen

Bei einem Gate-Array lassen sich im Unterschied zum konventionellen ASIC – auch als »Full Custom«-ASIC bezeichnet – nur wenige der Prozesslagen kundenspezifisch anpassen, wodurch der Hersteller Siliziumwafer vorproduzieren kann, wobei dieser auch die entsprechenden Masken- und Siliziumkosten vorfinanziert. Damit kann der Hersteller den Grundwafer für verschiedene Projekte verwenden. Der Kunde trägt nur die Kosten seiner meist nur sehr wenigen spezifischen Masken und seines eigenen Siliziums. Die für den Kunden relevanten Fertigungszeiten verkürzen sich drastisch, insbesondere bei der Fertigung des Prototypenwafers. Zum Vergleich: Für Full-Custom-ASICs ist mit bis zu 4 Monaten Lieferzeit für die Prototypen zu rechnen. Analoge bzw. Mixed-Signal-Gate-Arrays werden typischerweise in älteren, dafür aber gut beherrschten und kostengünstigen Prozessen gefertigt. Bedingt durch die geringere Anzahl von Lagen sinken Entwicklungsaufwand, -zeit und das Risiko von Fehlern. Ein Nachteil ist, dass ein Gate-Array prinzipbedingt nie so optimiert für eine spezielle Anwendung

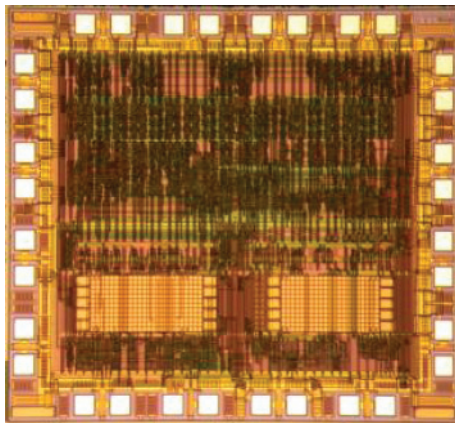
**Dr. Wolfgang Fallot-Burghardt**  
ist geschäftsführender  
Gesellschafter von FBE ASIC  
Design & Consulting

sein kann wie ein dedizierter Full-Custom-ASIC. Normalerweise befinden sich auf dem Gate-Array überzählige Bauelemente oder Pads, welche der Kunde jedoch mitbezahlen muss. Entscheidend ist daher, dass der Ausnutzungsgrad des Arrays möglichst hoch ist. Aus diesem Grund gibt es manche Gate-Arrays in einer ganzen Reihe von verschiedenen Größen, bei anderen lassen sich mehrere »Elementararrays«, die auf dem Wafer wie Kacheln nebeneinander platziert sind, gemeinsam aussagen, sodass der Hersteller hierdurch verschiedene Array-Größen anbieten kann.

Andererseits ist eine gewisse Anzahl von Reservelementen auf dem Array aber oft auch nützlich, wenn Änderungen in letzter Minute gewünscht werden oder wenn Fehler korrigiert werden müssen. Ein typisches Beispiel ist der vergessene Inverter. Außerdem ist die Chipgröße nur für einen Teil des Stückpreises verantwortlich. Für einen weiteren Teil zeichnet das Gehäuse verantwortlich, welches normalerweise der Anwendung genau angepasst werden kann, insbesondere die Anzahl der Pins.

Arrays sind meistens nicht erste Wahl bei sehr anspruchsvoller Elektronik, beispielsweise für Operationsverstärkerschaltungen mit sehr hohen Frequenzen, mit sehr niedrigen Offset- und Rauschspannungen, oder bei sehr hohen Anforderungen an das Matching von Komponenten, beispielsweise bei sehr präzisen Filteranwendungen oder A/D-Wandlern. Hier sind Full-Custom-ASICs normalerweise besser geeignet, auch wenn man manchmal Gate-Arrays mit ein wenig Geduld und »Gehirnschmalz« ganz erstaunliche Fähigkeiten entlocken kann.

Ein einfaches, robustes und kostengünstiges analoges



**Bild 2 CMOS-Gate-Array »MD500« von Microdul (Quelle: Microdul)**

Array für eine breite Palette von Einsatzgebieten ist die Zetex-700-Reihe in 20-V-Bipolartechnik. Sie wurde von Hans Camenzind, einem Pionier der integrierten Bipolartechnik (u.a. Designer des legendären Timers »555«) und einem der Erfinder der »Semi Custom«-Analog-Arrays, konzipiert und wird von Zetex Semiconductors gefertigt.

### Eine Zelle für alle Typen

In der 700er-Reihe stehen insgesamt neun Arrays mit 19 bis 630 Transistoren (plus weiteren Bauelementen) und vier bis 48 Pads zur Verfügung, wobei jedes Array etwa 30% größer ist als das vorhergehende. Herzstück der Zetex-700-Arrays ist die Transistor-Elementarzelle in Bild 1, die als vertikaler npn- oder als lateraler pnp-Transistor einsetzbar ist. Die n-Diffusionen sind blau, p-Diffusionen rot und Metallkontaktierungen grau eingezeichnet. Das nicht gezeichnete Chipsubstrat ist p-dotiert. Bei Einsatz als npn-Transistor fungiert die flächige n-Dotierung als Kollektor-Diffusion (C). In diese eindiffundiert liegen die zwei gewinkelten Basiszonen (B) (schwach p-dotiert), in die wiederum die insgesamt drei stark n-dotierten Emitter (E) dotiert sind. Der Stromfluss von Kol-

lektor zu Emitter bei Anliegen einer Basis-Emitter-Spannung verläuft vertikal. Bei Verschaltung als pnp-Transistor fungiert eine in der Mitte der Zelle eindiffundierte p-Diffusion als Emitter. Die flächige n-Dotierung (= npn-Kollektor) fungiert nun als Basis und die gewinkelten p-Dotierungen als

Kollektor. Der Stromfluss beim pnp-Transistor verläuft radial bzw. lateral. Der npn-Transistor hat eine Stromverstärkung  $h_{fe}$  von maximal 200 bei einer Transitfrequenz  $f_T$  von 800 MHz, der laterale pnp-Transistor hat ein  $h_{fe}$  von maximal 90 bei einer  $f_T$  von 15 MHz.

Weiter sind auf den Zetex-Arrays Dioden (= Transistoren mit kurzgeschlossener Basis-Kollektor-Diode), Zener-Dioden, Schottky-Dioden, Widerstände und (spannungsabhängige) Sperrschichtkapazitäten verfügbar. Die Verdrahtung der Elemente erfolgt durch eine einzelne Metallmaske. Leitungskreuzungen lassen sich durch fest auf dem Array angebrachte Widerstandsbrücken realisieren.

Mit einem solchen Array können viele diskrete ICs oder Baugruppen in einem einzigen Baustein integriert werden. So lassen sich zum Beispiel (Operations)verstärker, Komparatoren, Schmitt-Trigger, Buffer, Spannungsreferenzen, Transimpedanzverstärker, Frequenzteiler, Oszillatoren oder auch digitale Gatter (die allerdings gegenüber CMOS deutlich langsamer und stromhungriger sind) implementieren. Eine bis unters Dach voll gestopfte Platine kann sich so in ein aufgeräumtes und übersichtliches »Schmuckkästchen« verwandeln.

Als Fixkosten schlagen die Maskenkosten sowie die Fertigung von zehn Prototypen mit unter 6000 Euro zu Buche (Lieferzeit acht Wochen), hinzu kommen die Kosten für die Entwicklung eines Testprogramms (je nach Komplexität einige tausend Euro). FBE ASIC Design & Consulting bietet als spezialisiertes Designhaus Schaltungs- oder Layoutentwicklung für alle Zetex-700-Arrays zu typischen Ingenieursstundenpreisen an. Bei Stückzahlen von 100k liegt der Stückpreis für die meisten Arraygrößen mit Plastikgehäuse bei weniger als 2 Euro.

### Wann lohnen sich CMOS-Arrays?

Liegt der Anteil der zu integrierenden digitalen Elektronik wesentlich höher, ist ein bipolares Array wegen der genannten Einschränkungen bei Digitalgattern nicht mehr zu empfehlen. Hier bietet sich ein echtes Mixed-Signal-Gate-Array in CMOS-Technik an. Für solche Fälle bietet FBE die Arrays »MD300« und »MD500« auf CMOS-Prozessen von Philips an (Bild 2), die von der Firma Microdul (einem Management-Buyout von Philips Semiconductors, jetzt NXP) entwickelt wurden. Hierbei handelt es sich um Mixed-Signal-Gate-Arrays in 1,0-µm- bzw. 0,9-µm-CMOS-Prozessen mit maximaler Versorgungsspannung von 9 V bzw. 5,5 V (8 V I/O) und 16 bzw. 32 Pads. Ganzzahlige Vielfache der Gate-Array-Größen sind möglich. Im Logikareal der Arrays befinden sich in echter Gate-Array-Manier frei verdrahtbare NMOS- und PMOS-Transistoren für bis zu 1168 beziehungsweise 5537 Gatter-Äquivalente. Dies reicht bereits für sehr komplexe Kontrolllogiken oder für anspruchsvollere Schnittstellen.

Für richtige Mikrocontroller-Kerne ist das Logikareal allerdings in beiden Fällen zu klein, und interner Speicher fehlt vollständig.

Im analogen Bereich von MD300 und MD500 stehen 807 bzw. 2304 »analoge« Transistoren (jeweils zur Hälfte NMOS und PMOS) zur Verfügung. Hierbei kommt zum Ausdruck, dass in MOS-Technik – anders als bei der Bipolartechnik – die Geometrie der Transistoren einen deutlich stärkeren Einfluss auf das elektrische Verhalten hat. Während das Kleinsignalverhalten des Bipolartransistors bei nicht zu hohen Frequenzen in erster Linie von Basis- beziehungsweise Kollektorstrom bestimmt wird und nicht von seinen geometrischen Abmessungen, ist die Kanalgeometrie beim MOSFET von sehr viel größerer Bedeutung. Transkonduktanz  $g_m$  und Early-Effekt (bzw. Ausgangswiderstand) werden ganz wesentlich durch das Verhältnis von der Breite  $W$  des Kanals zu dessen Länge  $L$  beeinflusst. »Gute« analoge Transistoren haben daher eine nicht-minimale Kanallänge  $L$ , um den Early-Effekt zu verringern, wobei auch das  $W$  nach oben angepasst werden muss, um die gewünschten Transkonduktanz oder einen zufriedenstellenden Aussteuerungsbereich zu erzielen. Auf den MD300/MD500-Arrays lassen sich verschiedene Werte für  $L$  und  $W$  einfach durch Serien- oder Parallelschaltung der analogen Elementartransistoren mit  $W = 6,0 \mu\text{m}/L = 5,6 \mu\text{m}$  bzw.  $W = 5,4 \mu\text{m}/L = 5,0 \mu\text{m}$  erreichen. Die »digitalen« Transistoren auf den MD300/MD500-Arrays haben dagegen eine Minimallänge  $L$  von  $1,0 \mu\text{m}$  bzw.  $0,9 \mu\text{m}$ .

192 bzw. 524 spannungsunabhängige Nitrid-Kapazitäten erlauben »Switched Capacitor«-Schaltungen oder

kapazitive D/A-Wandler. Polysilizium- und N-Well-Widerstände im Gesamtwert von  $9,4 \text{ M}\Omega$  bzw.  $23,2 \text{ M}\Omega$ , pnp-Substrat-Transistoren und ESD-Schutzelemente runden das Bild ab. Ein besonderes »Schmankerl« der MD300/MD500-Arrays sind die 32 bzw. 64 EPROM-Zellen, mit denen beispielsweise Kalibrierungsdaten oder Seriennummern einprogrammiert werden können. Bei den MD300-Arrays werden die beiden Metalllagen und die dazwischen liegenden Vias kundenspezifisch prozessiert, beim MD500 zusätzlich die Kontakte von der unteren Metalllage zu den Bauelementen.

### Schutz vor ESD eingebaut

Ein Wort zu dem bei CMOS-Bausteinen besonders heiklen Kapitel ESD: Alle Ein- und Ausgänge der MD300- und MD500-Arrays können mit Schutzdioden gegen Entladungen geschützt werden (»2 kV Human Body Model«), die Versorgungsleitungen können mit bis zu fünf bzw. vier Clamp-Dioden vor Überspannung bewahrt werden.

Die Arrays von Microdul eignen sich durch ihre gemischt analog/digitale Bauweise für ein breites Spektrum von Anwendungen. Als Beispiele wären Uhren- bzw. Schrittmotorschaltungen (diese auch mit ultratiefem Stromverbrauch um die 100 nA), Sensor-Auswerteschaltungen, LCD-Treiber oder Powermanagement-ICs zu nennen.

Eine Fertigung von Prototypen auf MPW-Scheiben (Multi Project Wafer) ist innerhalb von sechs Wochen möglich. Diese Termine bietet der Hersteller mindestens vier Mal im Jahr an. Für den MD300 schlägt ein MPW-Platz mit 40 Prototypen mit ungefähr 1300 Euro zu Buche. Für die Serienfertigung ist ein eigener Maskensatz erforderlich, der sich preislich um die 6000 Euro bewegt. Hinzu kommen designabhängige Kosten für Testhardware und Testprogrammentwicklung. Bei Stückzahlen von 100k liegt der Stückpreis für das MD300-Array im Plastikgehäuse bei weniger als 2 Euro. Das Designhaus FBE bietet Schaltungs- und Layoutentwicklung für alle Microdul-Arrays zu typischen Ingenieursstundenpreisen an.

Neben den genannten Arrays sind eine ganze Reihe weiterer Mixed-Signal-Gate-Arrays auf dem Markt erhältlich. Auf Anfrage erteilt FBE ASIC Design & Consulting Auskunft zu weiteren Anbietern beziehungsweise zu der Frage, ob der Dienstleister Entwicklungen auf anderen Arrays übernehmen kann.

### Was kann der Kunde tun?

Die Schnittstelle zwischen Kunden und ASIC-Designhaus variiert, abhängig von den Möglichkeiten und Ressourcen des Kunden, von Projekt zu Projekt oft sehr stark. Das Spektrum reicht von einer Beschreibung auf System-Level bis hin zu de-

tailliert ausgearbeiteten Schaltplänen oder HDL-Funktionsbeschreibungen. Bei den Zetex-700-Arrays können ambitionierte Entwickler mit Kenntnissen in bipolarer Schaltungstechnik auf Transistorebene und einer gewissen Fitness im Umgang mit analogen Simulatoren wie Simetrix oder PSpice den Schaltplan bereits weitgehend selbst erstellen. Das Designhaus erstellt dann nur noch das Layout und entwickelt das Testprogramm.

Bei den komplexeren CMOS-Arrays rät das ASIC-Designhaus Kunden ohne IC-Designerfahrung unter anderem aufgrund der Geometrieabhängigkeit des Transistorverhaltens oder wegen CMOS-spezifischer Techniken wie Switched-Capacitor-Schaltungen davon ab, ein eigenes Design – zumindest für den Analogteil – zu erstellen. Für den Digitalteil kann der Kunde eine Spezifikation zum Beispiel mit einer Beschreibung in Verilog oder VHDL übergeben.

Als Resümee ist festzuhalten, dass ein analoges oder gemischt analog/digitales Gate-Array eine ASIC-Entwicklung sehr stark beschleunigen und verbilligen kann, wenn ein geeignetes Array zur Verfügung steht. Für die Anbieter von analogen und Mixed-Signal-Gate-Arrays ist es daher entscheidend, ein Ohr am Markt zu haben und die richtigen Arrays anzubieten. Für den Kunden ist es wichtig, ein geeignetes Array zu identifizieren. Dieser sollte ein Design mit einem Array nur beginnen, wenn die Vorteile stark überwiegen und keine großen Nachteile in Kauf genommen werden müssen. (rh)

**FBE ASIC Design & Consulting**  
Telefon 01 72/49 12 47 0  
www.fbe-asic.com

#### Referenzen

- Mask Costs, [www.icknowledge.com/economics/maskcosts.html](http://www.icknowledge.com/economics/maskcosts.html)
- 700 Series 20V Bipolar Array Design Manual, H. Camenzind, Array Design Inc., 06.06.2003
- Affordable mixed-signal low-power IC technology for small and medium enterprises, P. Poole, Microdul AG, MD90-21-0121, 15 Sept. 2004
- CMOS Mixed-Signal Array MD300, W. Thommen, Microdul AG